

I nuovi controller PIC

Come in ogni settore dell'elettronica, anche nel campo dei microcontroller ogni giorno nascono delle novità. Ecco i nuovi componenti Microchip delle famiglie 12, 16 e 17xxx

Paolo Sbrana - 1ª parte

Quando nell'anno 1994 **Progetto** ha iniziato a parlare di microcontroller PIC, pochissimi in Italia li conoscevano, ad eccezione delle sole ditte ad alto livello tecnologico.

Abbiamo così approntato un primo corso sulla programmazione di questi microcontroller

RISC e successivamente si sono viste tutte le periferiche nate piano piano intorno alla CPU.

Ricordiamo che quando abbiamo trattato per la prima volta questi componenti, i tipi disponibili sul mercato italiano erano molto limitati: si potevano reperire i quattro PIC della famiglia base (PIC16C54,

PIC16C55, PIC16C56 e PIC16C57), l'unico PIC in tecnologia EEPROM (PIC16C84), l'unico PIC con un convertitore a bordo (PIC16-C71) e l'unico PIC della famiglia 17, ovvero il PIC17C42. Nel momento in cui scriviamo i tipi di chip disponibili sono già oltre 40, ognuno con caratteristiche proprie.

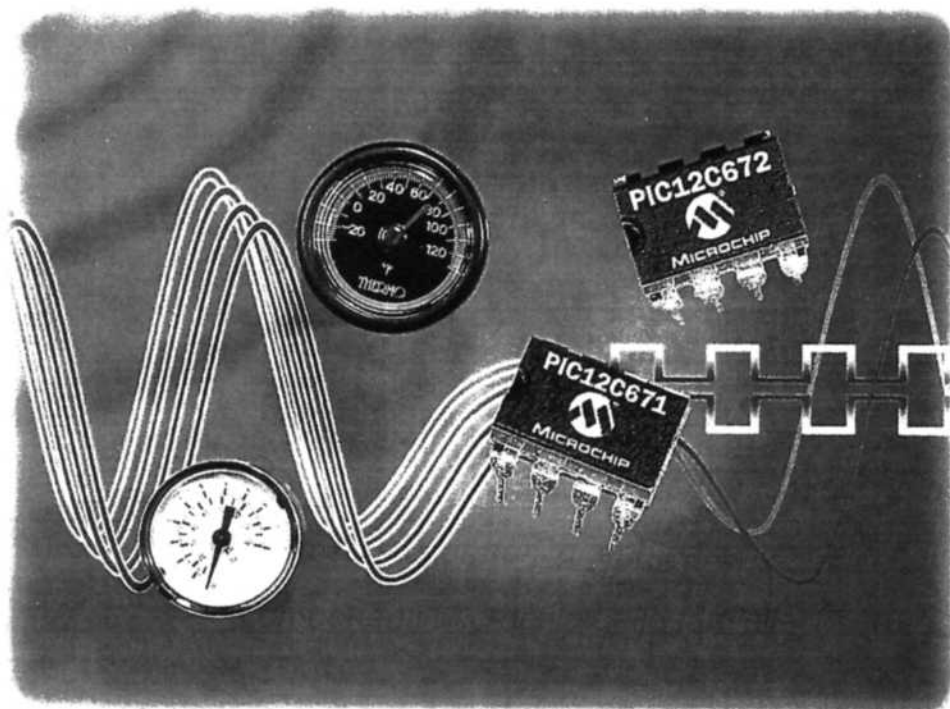
Nostra intenzione è di far conoscere ai lettori i modelli più recenti, analizzando attentamente famiglia per famiglia.

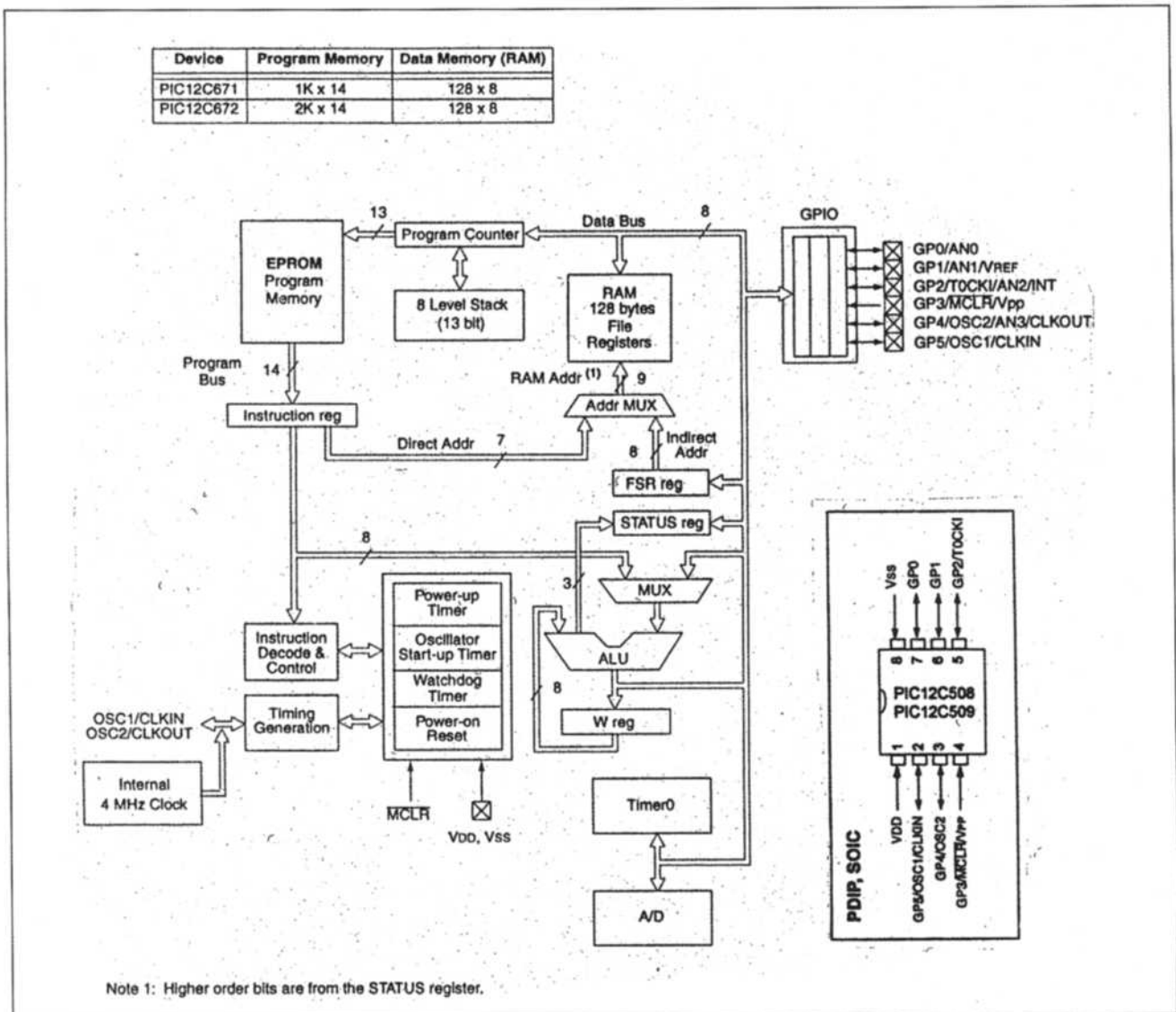
Questo mese inizieremo con i più recenti ed al tempo stesso i più piccoli PIC: la famiglia 12Cxx ad otto pin.

Con questa famiglia Microchip Technology entra in un mercato dove ancora pochi sono riusciti ad ottenere ottimi risultati, forse perchè gli otto pin hanno poche linee di I/O e questo può rivelarsi un handicap.

Le famiglie dei PIC12Cxxx

Iniziamo la nostra rassegna con i microcontroller più piccoli che possiamo trovare sul





mercato: le due famiglie 12C50x e 12C67x entrambe ad otto pin e disponibili perfino in versione SMD (con package detto SOIC per gli addetti ai lavori). Queste due famiglie hanno molto in comune, anche se vedremo che esistono delle differenze sostanziali per quanto riguarda le periferiche possedute e gli interrupt.

Nella tabella 1 valutiamo le caratteristiche principali: la memoria di programma spazia da 512 a 2048 locazioni, la RAM da 25 a 128 registri, le sorgenti di interrupt da 0 a 4, la tensione di alimentazione da 2,5 a 5,5 volt e la frequenza

di funzionamento da 0 a 10 MHz. Analizziamo quindi in dettaglio il diagramma a blocchi riportato in Figura 1, che vale sia per i 12C50x che per i 12C67x.

La struttura è quella tipica dei PIC delle famiglie mid-range, ovvero dei 16C6x e 16C7x, ma ovviamente le linee di I/O sono in numero minore (6).

Un modulo interno che però non è presente in alcun altro PIC è l'oscillatore interno a 4 MHz. Per non sprecare pin infatti, i progettisti hanno deciso di inserirne uno da circa 4 MHz all'interno, anche se poi è possibile applicare egualmente un

Figura 1.
Diagramma
a blocchi dei
PIC12Cxxx

oscillatore esterno per particolarissime applicazioni.

Vedremo inoltre che la frequenza di tale oscillatore è "regolabile" via software agendo su un ben preciso registro dedicato.

Si capisce subito la comodità di una scelta simile: per prima cosa si ha un componente in meno (o tre se si considerano anche i due condensatori) sul circuito con vantaggi economici e di dimensionamento, poi si liberano due pin altrimenti dedicati solo a questa ben definita funzione (che in un chip ad otto pin ne lascerebbero quindi solo 4 liberi).

I livelli di stack sono rimasti due per la famiglia 12C-50x mentre sono aumentati a otto per la famiglia 12C67x.

Il modulo di conversione A/D ad 8 bit è presente solo nei 12C67x. Per il resto tutti gli altri moduli sono identici agli altri controller Microchip.

Ciò che cambia nei quattro modelli attualmente disponibili sono la quantità della memoria di programma (ROM) e quella dei registri RAM.

In Figura 2-a possiamo vedere la suddivisione della ROM nei 12C50x ed in Figura 2-b quella relativa ai 12C67x.

Per quanto riguarda la RAM invece, in Figura 3 vediamo le tre diverse pezzature rispettivamente per i 12C508, 12C509 e 12C67x.

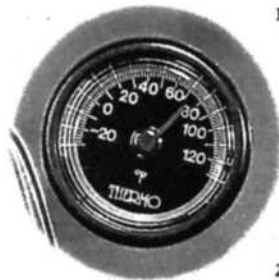
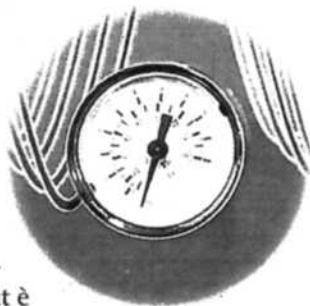


Figura 2a e2b.
Mapa della memoria ROM nelle famiglie 12C67x e 12C50x

Il primo tipo rientra in un banco solo, mentre i rimanenti necessitano di un secondo banco. Come si vede dalla Figura, i progettisti hanno fatto in modo di unificare gli indirizzi comuni di tutti i nuovi controller, sacrificando così locazioni che non possono essere mai utilizzate

(ad esempio come la serie di registri che nei 12C-67x va dall'indirizzo 0xd all'indirizzo 0x1d).

Lo status register

Proprio per la diversità di implementazione, anche i registri interni hanno a volte delle piccole varianti, come si può vedere confrontando il registro

di stato dei 12C50x (Figura 4-a) con quello dei 12C67x (Figura 4-b).

I bit dallo 0 al 4 hanno lo stesso significato ovvero: il bit 0 è un flag che indica se dopo un'operazione si è verificato un riporto.

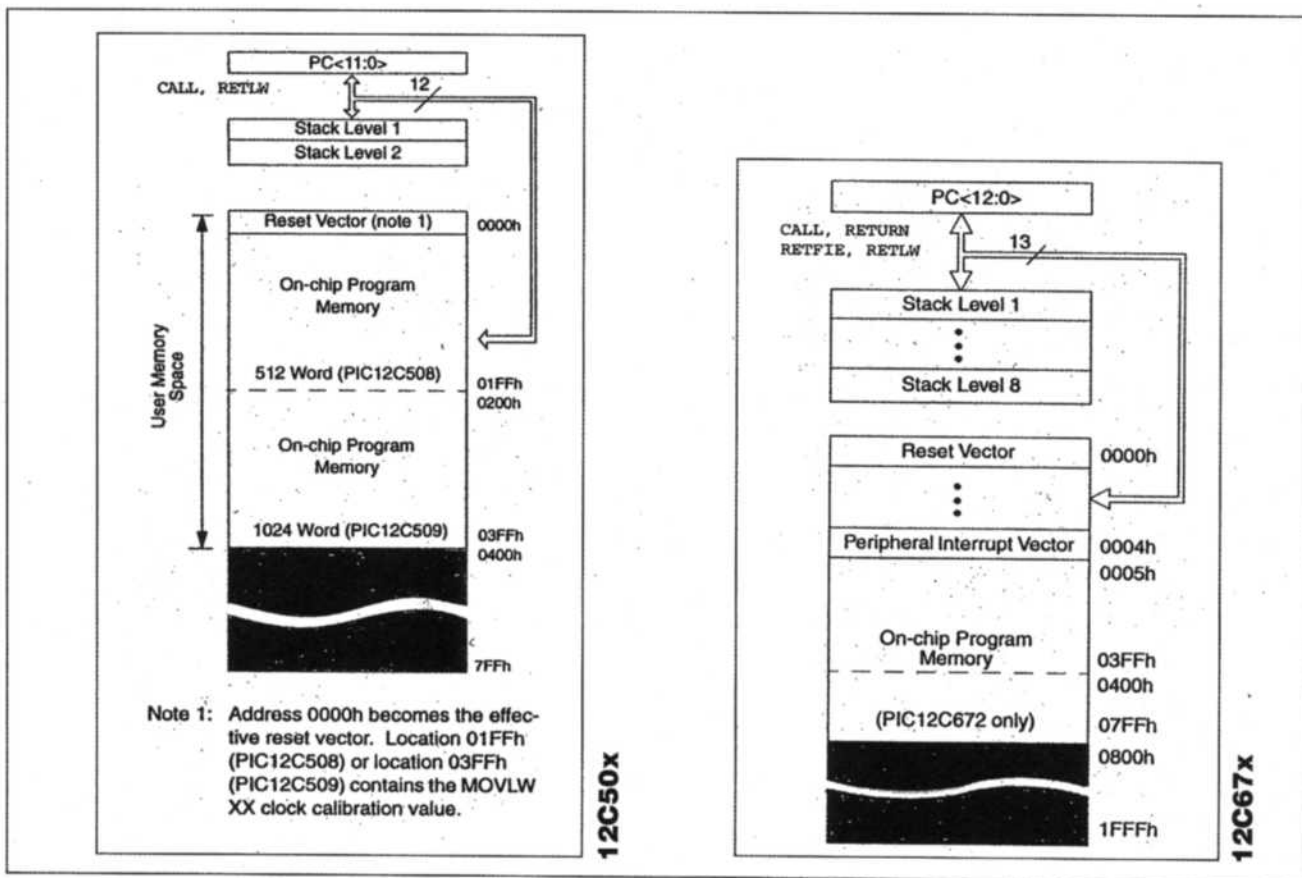
Il bit 1 ha lo stesso significato del bit 0 ma riferito a soli quattro bit.

Il bit 2 indica se dopo un'operazione si è ottenuto risultato zero o diverso da zero.

Il bit 3 serve per capire se il controller si è resettato dopo una caduta di alimentazione oppure dopo un'istruzione di sleep.

Il bit 4 invece indica se c'è stato il Time-out dall'watchdog interno.

Il bit 5 del registro di stato dei 12C50x serve per selezionare la pagina ROM desiderata (ovviamente solo per i 12C509) mentre il bit 6 non ha valore ed il bit



7 serve per capire se si è avuto un reset dopo un'istruzione di sleep da un cambio dello stato di un pin.

Nei 12C67x invece, i bit 5 e 6 servono per selezionare le due pagine RAM (quelle dei registri) mentre il bit 7 seleziona le due pagine di memoria di programma (questo bit è riservato e deve sempre essere mantenuto a zero).

Il registro delle opzioni

Per quanto riguarda invece il registro delle opzioni, tutta la famiglia 12Cxxx fa riferimento a quello di Figura 5.

I bit da 0 a 2 bit consentono di impostare il valore di un prescaler da assegnare o al watchdog o al timer0 in modo esclusivo.

Tale selezione avviene per mezzo del bit 3: con tale bit a 1 l'assegnazione va al watchdog, mentre con il bit 3 a 0 l'assegnazione va al timer0.

Con il bit 4 si dice al chip se vogliamo l'eventuale incremento del timer0 o su di un fronte di salita o su di un fronte di discesa di un segnale che potrà essere interno (collegato al clock) oppure esterno a seconda del valore del bit 5.

Il bit 6 serve per abilitare o meno le resistenze di pull-up presenti internamente e connesse ai pin GP0, GP1 e GP3. In pratica azzerando tale bit, i tre pin sopra citati saranno collegati al positivo di alimentazione

File Address	Register Name
00h	INDF ⁽¹⁾
01h	TMR0
02h	PCL
03h	STATUS
04h	FSR
05h	OSCCAL
06h	GPIO
07h	
...	
1Fh	General Purpose Registers

12C508

12C509

FSR<6:5> → 00 01

File Address	Register Name	Address Range
00h	INDF ⁽¹⁾	20h
01h	TMR0	Addresses map back to addresses in Bank 0.
02h	PCL	
03h	STATUS	
04h	FSR	
05h	OSCCAL	
06h	GPIO	
07h		
07h	General Purpose Registers	
10h	General Purpose Registers	30h
...		
1Fh	General Purpose Registers	3Fh

Bank 0 Bank 1

File Address	Register Name	Register Name	File Address
00h	INDF ⁽¹⁾	INDF ⁽¹⁾	80h
01h	TMR0	OPTION	81h
02h	PCL	PCL	82h
03h	STATUS	STATUS	83h
04h	FSR	FSR	84h
05h	GPIO	TRIS	85h
06h			86h
07h			87h
08h			88h
09h			89h
0Ah	PCLATH	PCLATH	8Ah
0Bh	INTCON	INTCON	8Bh
0Ch	PIR1	PIE1	8Ch
0Dh			8Dh
0Eh		PCON	8Eh
0Fh		OSCCAL	8Fh
10h			90h
11h			91h
12h			92h
13h			93h
14h			94h
15h			95h
16h			96h
17h			97h
18h			98h
19h			99h
1Ah			9Ah
1Bh			9Bh
1Ch			9Ch
1Dh			9Dh
1Eh	ADRES		9Eh
1Fh	ADCON0	ADCON1	9Fh
20h			A0h
...			
70h	General Purpose Register	General Purpose Register	BFh
...			
7Fh	General Purpose Register	Mapped in Bank 0	FFh

Bank 0 Bank 1

Unimplemented data memory locations, read as '0'.
Note 1: Not a physical register.

12C67x

attraverso una resistenza di pull-up di valore molto elevato (per ridurre l'assorbimento di corrente).

Con il bit 7 invece si abilita o meno il risveglio del chip per mezzo di una transazione di livello su uno qualsiasi dei tre ingressi GP0, GP1 o GP3.

Figura 3.
Mappa della memoria RAM nel CHIP
12C508,
12C509,
12C67x

L'oscillatore interno

Come abbiamo già anticipato, tutti i controller 12Cxxx hanno al loro interno un oscillatore che lavora intorno ai 4 MHz. Per calibrare questa frequenza, è disponibile un registro chiamato OSCCAL il cui

	R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x	
	GPWUF	—	PA0	TO	PD	Z	DC	C	
bit7	6	5	4	3	2	1		bit0	
bit 7:	GPWUF: GPIO reset bit 1 = Reset from wake-up from SLEEP on pin change 0 = After power up or other reset								
bit 6:	Unimplemented								
bit 5:	PA0: Program page preselect bits 1 = Page 1 (200h - 3FFh) - PIC12C509 0 = Page 0 (000h - 1FFh) - PIC12C508 and PIC12C509 Each page is 512 bytes. Using the PA0 bit as a general purpose read/write bit in devices which do not use it for program page preselect is not recommended since this may affect upward compatibility with future products.								
bit 4:	TO: Time-out bit 1 = After power-up, CLRWD _T instruction, or SLEEP instruction 0 = A WDT time-out occurred								
bit 3:	PD: Power-down bit 1 = After power-up or by the CLRWD _T instruction 0 = By execution of the SLEEP instruction								
bit 2:	Z: Zero bit 1 = The result of an arithmetic or logic operation is zero 0 = The result of an arithmetic or logic operation is not zero								
bit 1:	DC: Digit carry/borrow bit (for ADDWF and SUBWF instructions) ADDWF 1 = A carry from the 4th low order bit of the result occurred 0 = A carry from the 4th low order bit of the result did not occur SUBWF 1 = A borrow from the 4th low order bit of the result did not occur 0 = A borrow from the 4th low order bit of the result occurred								
bit 0:	C: Carry/borrow bit (for ADDWF, SUBWF and RRF, RLF instructions) ADDWF 1 = A carry occurred 0 = A carry did not occur								
								SUBWF 1 = A borrow did not occur 0 = A borrow occurred	RRF or RLF Load bit with LSB or MSB, respectively

contenuto è visibile in Figura 6. Prima di analizzarne il contenuto, spendiamo due parole sul funzionamento di questo oscillatore. Per prima cosa il valore di questo registro è depositato

Figura 4-a.
Il registro di stato nei 12C50x

all'ultima locazione di memoria di programma disponibile.

Quindi per leggerlo è necessario dare l'istruzione "CALL XX" dove con XX è l'ultima locazione di memoria (ad esempio

nel 12C671 XX = 0x3ff). Poiché il valore viene inserito in questa locazione con la forma "RETLW KK", al ritorno della CALL avremo il valore desiderato nel registro di lavoro "W". Si deve fare

Tabella 1. Caratteristiche generali dei PIC12Cxxx

		PIC12C508	PIC12C509	PIC12C671	PIC12C672
Clock	Maximum Frequency of Operation (MHz)	4	4	10	10
Memory	EPROM Program Memory	512 x 12	1024 x 12	1024 x 14	2048 x 14
	Data Memory (bytes)	25	41	128	128
Peripherals	Timer Module(s)	TMRO	TMRO	TMRO	TMRO
	A/D Converter (8-bit) Channels	—	—	4	4
Features	Wake-up from SLEEP on pin change	Yes	Yes	Yes	Yes
	Interrupt Sources	—	—	4	4
	I/O Pins	5	5	5	5
	Input Pins	1	1	1	1
	Internal Pull-ups	Yes	Yes	Yes	Yes
	Voltage Range (Volts)	2.5-5.5	2.5-5.5	2.5-5.5	2.5-5.5
	In-Circuit Serial Programming	Yes	Yes	Yes	Yes
	Number of Instructions	33	33	35	35
	Packages	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC

